



Vom simulierten zum realen Prozessor

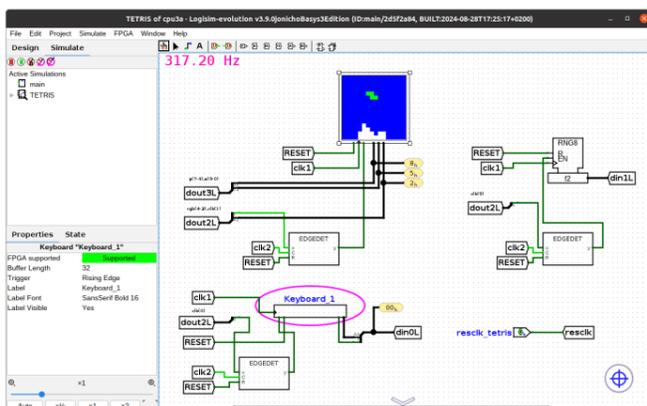
Ausgangssituation

In der Veranstaltung "Technische Informatik" erlernen die Studierenden der Informatikstudiengänge den Entwurf eines Prozessors aus digitalen Bausteinen inklusive der Entwicklung der zugehörigen Software (Mikrocode-Assembler, Assembler). Der Prozessor wird von den Studierenden in einem weit verbreiteten Simulator (Logisim-Evolution) entwickelt und anhand selbst entwickelter Software getestet. Die Lehrveranstaltung greift dabei in den Grundideen auf das ebenfalls weit verbreitete Lehrkonzept "NAND to Tetris" zurück: Es wird der gesamte Weg vom digitalen Grundbaustein bis zur Programmierung eines einfachen Computerspiels zurückgelegt.

Projektbeschreibung

Mit Unterstützung des Qualitätsfonds haben die Studierenden nun die Möglichkeit, Ihren selbst entwickelten Prozessor auf einem realen konfigurierbaren Digitalbaustein (FPGA) zu testen. Die Veranstaltung wird dadurch für die Studierenden attraktiver, da sie eine reale digitale Schaltung und nicht nur deren Simulation entwickeln und testen. Die Tests des Prozessors im Simulator sind zudem nur mit geringer Geschwindigkeit möglich: die simulierbare Taktfrequenz ist begrenzt, da ein Prozessor einen Prozessor simuliert. Mit dem FPGA-Aufbau können die von den Studierenden geschriebenen Programme (z.B. Tetris) nun auf dem selbst entwickelten und als reale digitale Schaltung existierenden Prozessor mit hoher Geschwindigkeit ausgeführt werden.

Ergebnisse



Jonas R. Keller hat auf der vom Qualitätsfonds finanzierten Hilfskraftstelle eine sehr flexible Anbindung des FPGAs an den Simulator entwickelt. Dazu wurde die vorhandene Simulator-Software aufwändig so erweitert, dass die Komponenten für Tastatur und Bildschirm einerseits weiterhin in der Simulation benutzt werden können, aber andererseits im Zusammenspiel mit dem FPGA-Board auch auf eine reale USB-Tastatur und einen realen VGA-Bildschirm



abgebildet werden können. Die Studierenden können somit „auf Knopfdruck“ Ihren selbst entworfenen Prozessor in eine reale digitale Schaltung überführen und mit hohen Taktfrequenzen testen. Klaus Kulitza, Techniker in der AG Technische Informatik, hat den FPGA und ein kleines VGA-Display sowie eine externe Mini-Tastatur in einem kompakten Aufbau integriert, der nun in 10 Exemplaren für die Lehrveranstaltung zur Verfügung steht (finanziert durch die AG).

Kontaktinformationen:

Jonas R. Keller, Klaus Kulitza,
Prof. Dr.-Ing. Ralf Möller

Technische Fakultät,
AG Technische Informatik

moeller@techfak.de

Nachnutzung

Die modifizierte Simulator-Software, Teilelisten sowie Zeichnungen des mechanischen Aufbaus werden zur Nachnutzung durch andere (auch externe) Arbeitsgruppen auf Github zur Verfügung gestellt. Wir hoffen auch, dass die nützlichen Software-Erweiterungen in spätere Versionen des Simulators einfließen werden.